

УДК 681.32

**С.В. Березняков**

ОАО «Стар», Пермь, Россия

**М.А. Аверкиев**

АО «Пермская научно-производственная компания», Пермь, Россия

## САМОСИНХРОННЫЕ ЭЛЕМЕНТЫ И УСТРОЙСТВА

Известны два основных принципа построения элементов и устройств цифровой аппаратуры: синхронный и асинхронный. Самосинхронные схемы по названию относятся к синхронным, но фактически являются асинхронными, так как не имеют тактового генератора. Основателем этого направления схемотехники по праву считается американский математик Д.Е. Маллер. В трудах знаменитой в СССР научно-исследовательской группы В.И. Варшавского такие схемы сначала носили название апериодических. Синхронные схемы требуют наличия тактового генератора, асинхронные схемы работают без тактового генератора, такты определяются изменениями сигналов. Самосинхронные схемы сами фиксируют завершение переходного процесса, т.е. работают по фактическим задержкам сигналов. Но это требует значительных дополнительных аппаратных затрат. В синхронных схемах период следования тактового сигнала рассчитывается на «самый худший случай» – на самую большую возможную задержку данной схемы. Асинхронные схемы требуют специфического и достаточно сложного проектирования, дабы избежать так называемых гонок, состязаний сигналов, которые могут привести к неправильной работе схемы. В последние годы появляются новые публикации, посвященные самосинхронике. В англоязычной литературе самосинхронные схемы так же называются не зависимыми от скорости (speed-independent, SI circuits), полумодулярными или дистрибутивными (semi-modular or/and distributive). Рассматривают также квазисамосинхронные схемы (quasi-delay-insensitive, QDI circuits). Однако детальное описание, например полумодулярности, встречается редко и в специальной литературе. Более-менее популярное описание этих вопросов в настоящее время интересует не только специалистов – инженеров и схемотехников, но также и студентов, магистров и аспирантов. Подспорьем являются электронное издание великолепной книги Л.П. Плеханова, а также статья исследовательской группы института проблем информатики Российской академии наук (ИПИ РАН) под руководством Ю.А. Степченкова. Необходимо рассмотреть такие алгебраические структуры, как решетки, именно в этой предметной области используются понятия модулярности и полумодулярности. После этого становятся понятными схемотехнические особенности самосинхронных схем, состояния которых и образуют узлы такой гипотетической решетки, которая в бесконфликтном случае и будет полумодулярной. Кроме того, имеет смысл проиллюстрировать в общих чертах работу самосинхронной схемы в системе схемотехнического моделирования, например NI Multisim. Подобное моделирование будет полезным и в контексте лабораторного занятия, и научно-технического семинара по перспективным направлениям развития элементной базы, особенно в условиях новых задач по импортозамещению. В этом же ракурсе рассматривается ПЛИС Speedster22i фирмы Achronix, которая заявляется как асинхронная, причем в среде разработчиков ее даже именуют самосинхронной. При ближайшем рассмотрении она оказывается без глобальной синхронизации, но «регионально» синхронной.

**Ключевые слова:** синхронные схемы, асинхронные схемы, самосинхронные схемы, решетка, модулярность, полумодулярность, С-элемент Маллера, NI Multisim, ПЛИС, FPGA Speedster22i, фирма Achronix.

**S.V. Bereznyakov**

JSC "Star", Perm, Russian Federation

**M.A. Averkiev**

JSC "Perm Research and Production Instrument Company",  
Perm, Russian Federation

## **SELF-TIMED ELEMENTS AND DEVICES**

There are two basic principles of building components and devices of digital equipment: synchronous and asynchronous. The self-timed circuit for the title are synchronized, but actually are asynchronous, because they have no clocking. The founder of this trend of circuitry is considered to be an American mathematician D. Muller. In the writings of the famous Soviet V.I. Warshawski research group such schemes at the beginning were called aperiodic. Synchronous circuits require clock, asynchronous circuits work without a clock, determined by changes in cycles of input vectors. Self-timed circuits themselves fix the completion of the transition process that is working on the actual signal delay. But this requires significant additional hardware costs. In synchronous clocking is calculated on the "worst case" – to the greatest possible delay of the scheme. Asynchronous circuits require specific and fairly complex design, to avoid the so-called races, which can lead to malfunction of the circuit. In recent years, new publications devoted to self-timed circuits, also called speed-independent, (SI circuits), semi-modular or/and distributive, quasi-delay-insensitive, (QDI circuits). However, a detailed description semi modular usually absent. More or less popular description of these issues are now interested not only specialists – engineers and circuit designers, but also the students, masters and post-graduates. Help is the electronic edition of the book gorgeous L.P. Plekhanov, as well as articles of a study group of the Institute of Informatics Problems of the Russian Academy of Sciences led Yu.A. Stepchenkov. Consideration should be given algebraic structures such as lattice, it is in this domain use the concepts of modularity and semi modular. Once this becomes clear circuit design features self-timed circuits, whose status and form of such a hypothetical lattice sites, which in the case of a conflict-free and will semimodular. Furthermore, it makes sense to illustrate the general operation scheme in self-timed circuit simulation, for example, NI Multisim. Analyzed Speedster22i FPGA firm Achronix, which appears as an asynchronous, and in the development of its environment, even sometimes called self-timed. FPGA does not really global synchronization, but "regional" synchronous.

**Keywords:** Synchronous circuit, clocking, asynchronous circuits, self-timed circuits, speed-independent circuits, semi-modular circuits, distributive circuits, lattice, Muller C-element, NI Multisim, Speedster22i FPGA, The Institute of Informatics Problems of the Russian Academy of Sciences (IPI RAN).

**Введение.** Самосинхронный принцип работы цифровых элементов и устройств как альтернатива синхронному (и асинхронному) известен более полувека [1–3], однако только в последние годы появляются серийные изделия, позиционируемые как самосинхронные. В таких схемах используется запросно-ответная двухфазная дисциплина функционирования. В фазе гашения (спейсера) происходит подготовка комбинационной схемы, состоящей из основного и двойственного каналов к приему данных. Данные передаются парафазным кодом, т.е.

двумя битами – прямым и инверсным. Индикаторный элемент формирует сигнал разрешения приема новых данных после завершения гашения, т.е. тогда, когда оба канала выдают одинаковый результат. Далее наступает рабочая фаза. После обработки новых данных на входе индикатора появляются инверсные результаты, что свидетельствует о завершении рабочей фазы и готовности к новому гашению. В последовательностных схемах гашение не используется, так как оно стирает имеющуюся информацию. Здесь используется несколько другая дисциплина индикации, учитывающая текущее состояние триггера и состояние его входов. В самосинхронном устройстве множество индикаторов, их анализирует так называемый С-элемент Маллера (гистерезисный триггер, Г-триггер), именно его сигнал регулирует смену фаз. Считается, что работа по реальным задержкам повышает быстродействие, обеспечивает работу на сверхнизких напряжениях питания и даже позволяет обнаруживать константные неисправности. Рассмотрим особенности самосинхронных схем, проиллюстрируем их работу на модели и выясним, выпускаются ли интегральные микросхемы, использующие этот принцип.

**1. Полумодулярность в решетках.** В литературе по самосинхронике часто встречается термин «полумодулярность» [1–7]. Схема полумодулярна (самосинхронна) или не полумодулярна. Что же это такое, полумодулярность? Это понятие пришло из общей алгебры, конкретно из теории так называемых решеток. Под решеткой (дедекиндовой структурой которой занимался немецкий математик Юлиус Вильгельм Дедекинд, 1831–1916 гг.) понимается частично упорядоченное множество  $L$  (от английского слова Lattice – решетка – в математическом смысле), в котором любые два элемента имеют точную нижнюю грань  $x \cup y$  и точную верхнюю грань  $x \cap y$  [8–10], где символы  $\cap$ ,  $\cup$ , вообще говоря, – это некие абстрактные операции, а не обязательно объединение и пересечение. Пример решетки (называемой также и диаграммой Хассе, и кубом соседних чисел), являющейся к тому же булевой алгеброй, изображен в [10] и имеет вид (рис. 1).

Используется понятие покрытия. На рис. 1 элемент  $\{y, x\}$  покрывает элементы  $\{x\}$  и  $\{y\}$ , а универсум, или единица  $I = \{x, y, z\}$  покрывает все. Хотя с точки зрения минимизации логических функций и с учетом понятия импликанты все ровно наоборот [10]. В теории решеток как особых алгебр решетка называется модулярной, если в ней

выполняется модулярный закон Mod. Указано, что модулярный закон – ослабленная форма второго дистрибутивного закона:

$$x \cup (y \cap z) = (x \cup y) \cap (x \cup z) :$$

$$\text{Mod} : x \leq y \Rightarrow x \cup (y \cap z) = y \cap (x \cup z) .$$

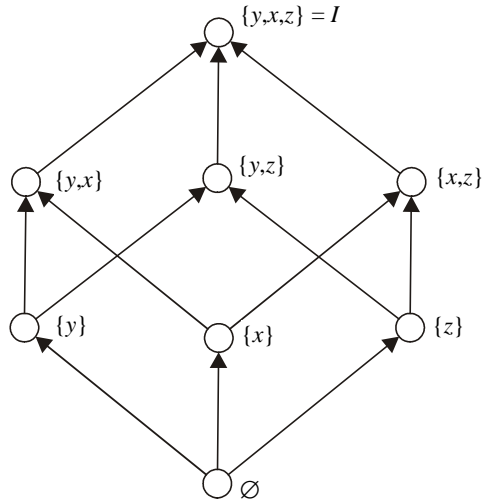


Рис. 1. Решетка Хассе – булева алгебра на множестве  $I = \{x, y, z\}$

Решетки – булевы алгебры (см. рис. 1) являются модулярными, например, используя реальные объединение и пересечение:

$$\{x\} \leq \{x, y\} \Rightarrow \{x\} \cup (\{x, y\} \cap \{x, z\}) = x = \{x, y\} \cap (\{x\} \cup \{x, z\}) = x.$$

При этом первый закон дистрибутивности обычен:

$$x \cap (y \cup z) = (x \cap y) \cup (x \cap z).$$

В то же время в [11] поясняется, что в модулярной решетке справедлив такой модулярный закон:  $(a + b)c = a + bc$  для всякого  $b$ , что равносильно справедливости тождества  $(ac + b)c = ac + bc$ .

Решетка  $L$  называется полумодулярной, если  $\forall x \forall y \in L, x \cup y$  покрывает  $x$ , то из этого следует, что элемент  $y$  покрывает  $x \cup y$  [9]. Так, в решетке на рис. 1 (она модулярна, но, значит, в то же время и полумодулярна):

$$\{x\} \cup \{x, y\} = \{x, y\}.$$

**2. Полумодулярность в цифровых схемах.** В [12] полумодулярность постулируется на базе допустимых последовательностей

сигналов в схемах. Вводится отношение двух состояний  $a, b$ :  $aRb$  в том случае, если  $a = b$  или они соседние (отличаются в одном разряде). Это отношение названо отношением непосредственного следования. Вводится понятие предшествования  $aFb$  в случае, если есть  $R$ -последовательность  $a, \dots, b$ . Состояния  $a, b$  эквивалентны:  $aEb \Rightarrow aRb \& bRa$ . Вводится понятие возбужденного состояния, когда текущее значение  $a$  не равно значению следующего  $a'$ .

При этом полумодулярность схемы фиксируется так: схема полумодулярна относительно некоторого начального состояния  $u$ , в случае если для любой пары  $a, b$ :  $uFa \& aRb \Rightarrow \forall i (b'_i = a'_i) (b_i = a_i \neq a'_i)$ . Под  $i$  понимают  $i$ -й узел схемы.

Далее поясняется, что в полумодулярной схеме узел  $i$ , возбужденный в состоянии  $a$ , но не принимающий значение  $a'$  при переходе схемы в состояние  $b$ , должен оставаться возбужденным в состоянии  $b$ , сохраняя то же значение, что и в состоянии  $a$ .

Более понятно написано в [4], где описывается не зависящая от скорости (speed-independent) схема из работы основоположника этого направления Д. Маллера (рис. 2).

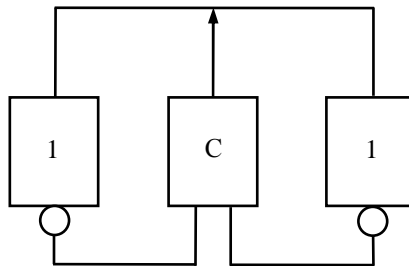


Рис. 2. Самосинхронная схема с С-элементом Маллера

Два параллельных процесса на основе инверторов замкнуты через С-элемент Маллера, фиксирующий завершение переходного процесса не только в инверторах, но и в себе самом.

Рассматриваются диаграммы переходов состояний схемы и поясняется, что такое конфликтный переход. Возбужденная переменная (намеревающаяся перейти в новое состояние) обозначается звездочкой, например  $x(t)^*$ , где  $t$  – текущее состояние,  $x(t + 1)$  – следующее состояние, обозначаемое выше как  $x'$ . Если  $x(t)^* = x(t + 1)$  (хотела перейти, да не получилось), то такой переход конфликтный, который может при-

вести к состязаниям и, как результат, к ошибкам [13, 14], ранее называемым сбоями. Показано, что схема полумодулярна, если в ее диаграмме переходов отсутствуют конфликтные переходы. Что касается решеток, то приводится такая нестрогая содержательная аналогия: каждому элементу схемы (каждому уравнению) ставится в соответствие некий гипотетический счетчик – счетчик переключений (рис. 3).

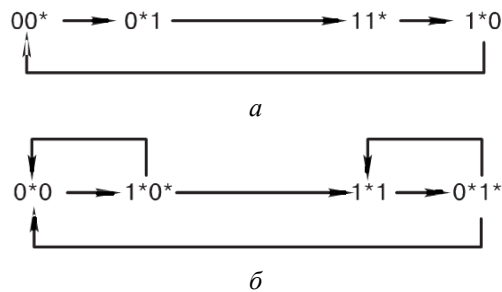


Рис. 3. Диаграммы: полумодулярной схемы (а) и неполумодулярной схемы с конфликтами (б)

При возбуждении элемента счетчик увеличивается на единицу, при снятии возбуждения при изменении входов – уменьшается на единицу. Совокупность всех счетчиков – узлы алгебраической решетки. Свойство полумодулярности означает, что ни одно число в процессе переключений не изменится, что свидетельствует об отсутствии конфликтов.

**3. Моделирование простой самосинхронной схемы.** Построим простую схему с парафазными входными сигналами  $A, NA, B, NB$  в соответствие с символикой [15] для вычисления двух функций – конъюнкции и суммы по модулю два в системе схемотехнического моделирования NI Multisim (рис. 4). На входе группа элементов И – блок спейсера, сигнал Set – разрешение работы. Двойственный канал вычисления конъюнкции построен на элементе ИЛИ, на него поступают  $NA, NB$ . Здесь использован так называемый нулевой спейсер – нулевой набор и сигналов, и их инверсий, поэтому индикаторы  $I$  построены на элементах ИЛИ-НЕ.

Однако на блок спейсера замкнут сигнал первого индикатора  $I_1$  для демонстрации того, что в этом случае схема «оживает» – при наличии разрешения Set с выходов индикатора поступает сигнал логической единицы, что открывает блок спейсера, на входы каналов поступает набор  $A, NA, B, NB$  после вычисления функций  $F_1, NF_1$  индикатор переходит в состояние «0», реализуя гашение и закрывая блок спейсера, после которого индикатор переходит в состояние «1», вновь открывая блок спейсера, и т.д.

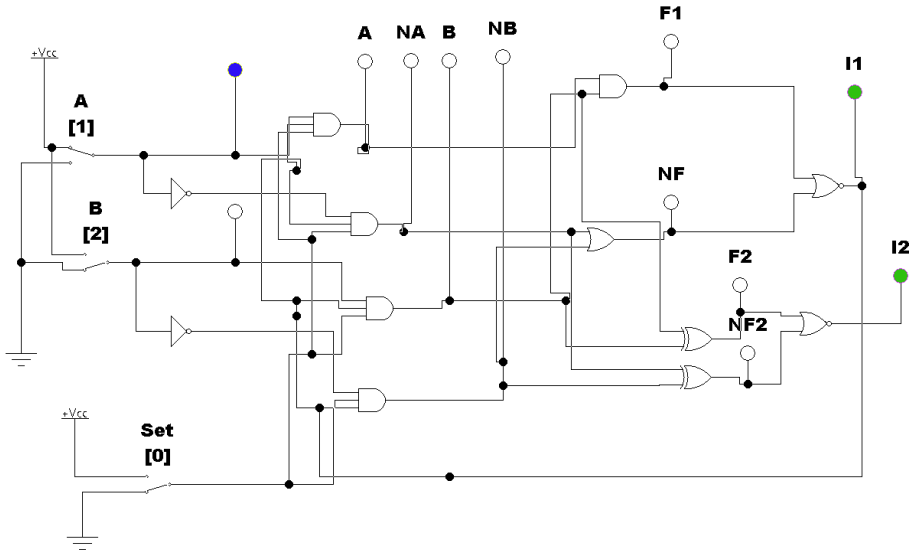


Рис. 4. Схема с парафазными входными сигналами  $A, NA, B, NB$  для вычисления двух функций – конъюнкции  $F1$  и суммы по модулю два  $F2$

Видна генерация сигналов: индикаторы «мигают» – схема работает без тактового генератора. Добавим С-элемент Маллера на основе элементов 2И-НЕ, на вход которого подадим выходы индикатора, и уже его выход подключим к блоку спейсера, подключим осциллограф (рис. 5).

Схема работает как генератор, правда, явно видны как провалы, так и выбросы. При обрыве одной из связей схемы генерация прекращается.

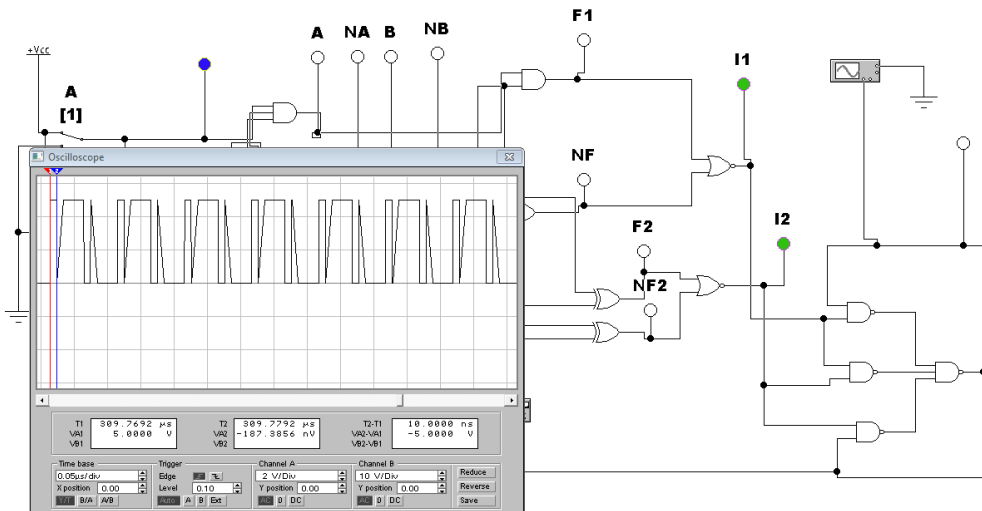


Рис. 5. Схема с С-элементом Маллера

**4. ПЛИС Speedster22i фирмы Achronix.** Называемая в источниках асинхронной ПЛИС Speedster22i фирмы Achronix [16] оказывается все-таки синхронна, она имеет две иерархических сети тактирования – глобальную Global Clock Generator (GCG) и прямую. На рис. 6 обозначены интерфейс ввода/вывода общего назначения GPIO (general-purpose input/output) и последовательно-параллельный интерфейс SerDes (Serializer/Deserializer).

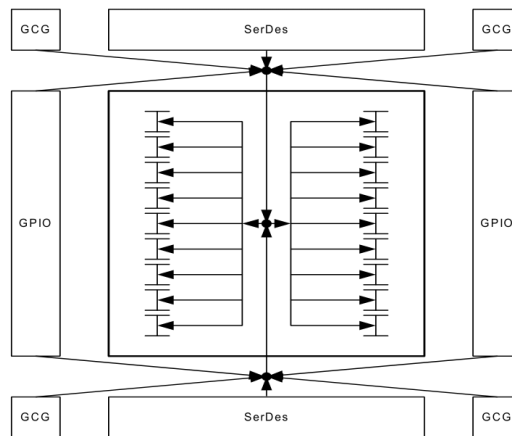


Рис. 6. Глобальная сеть тактирования ПЛИС Speedster22i

Прямая сеть тактирования, насколько можно понять из описания, основана на внутренних генераторах и обеспечивает значительно более низкую задержку (рис. 7).

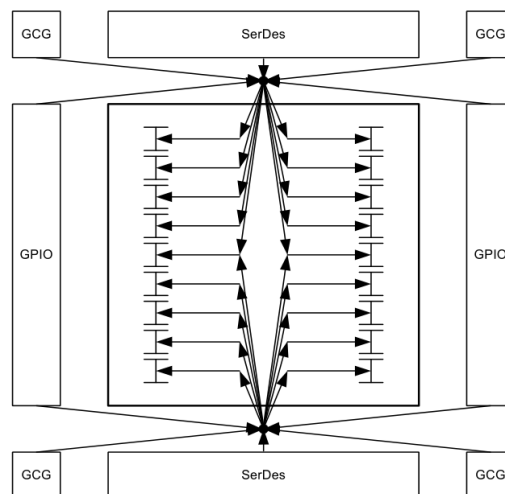


Рис. 7. Прямая сеть тактирования ПЛИС Speedster22i



Таким образом, имеются четыре глобальных источника тактирования GCG по четырем углам микросхемы. Локальная тактировка обеспечивается «региональными» устройствами Regional Clock Manager (RCM) (рис. 8).

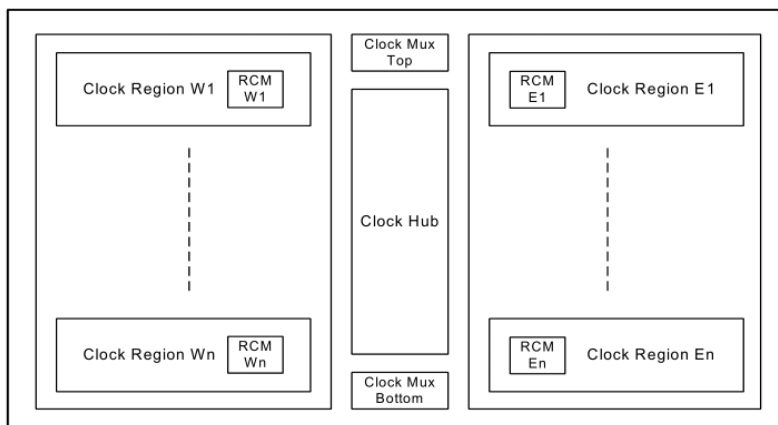


Рис. 8. Восточный *E* и западный *W* «регионы» тактирования ПЛИС Speedster22i

Каждый из четырех глобальных генераторов GCG содержит шесть буферов ввода-вывода подачи тактового сигнала и четыре так называемых замкнутых фазовых петли PLL – Phase Locked Loops, которые, в свою очередь, содержат генераторы управляемый напряжением – VCO (Voltage-Controlled Oscillator (рис. 9).

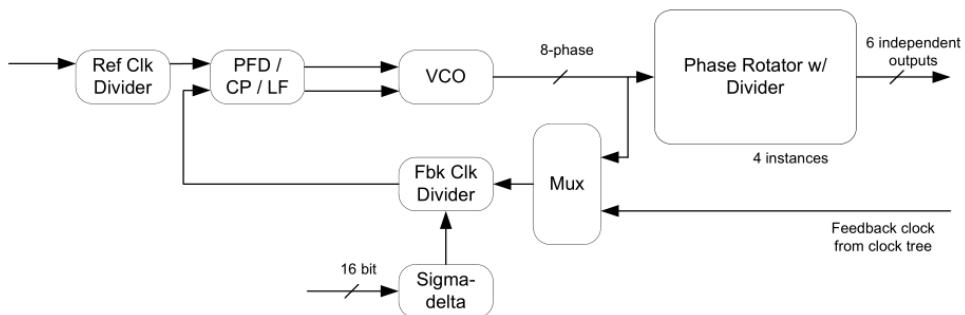


Рис. 9. Состав PLL – Phase Locked Loops ПЛИС Speedster22i

PLL содержит фазовращатель «glitch-free phase rotators», т.е. не создающий помех – «иглоков», и, как указано, обеспечивает частоту 1066 МГц. Таким образом, становится понятно, что работа ПЛИС далека от принципов самосинхронности, описанных в [1–4]. В интервью

2006 г. (тогда микросхема проектировалась) один из высших руководителей фирмы Джон Хольт назвал Speedster22i самой быстрой в мире КМОП ПЛИС [17]. Не он, а корреспондент, задавая свой вопрос о том, как измерялась производительность, назвал ПЛИС «Clockless», т.е. не тактируемой. На что Хольт ответил: «Мы получаем эквивалент скорости синхронной схемы». Но в описании [18] нет «Clockless», наоборот, речь идет о множестве тактовых генераторов. Если есть тактовые генераторы, схема не асинхронна. Следовательно, речь идет о глобальной множественной синхронности, а локально – она по терминологии документации синхронна... Таким образом, соотнесение анализируемой ПЛИС с самосинхронной схемотехникой [18] неверно, хотя бы в рамках доступных источников. Показатели эффективности ПЛИС Speedster22i впечатляют: более миллиона логических элементов, 1,93 ГГц эквивалентной производительности при 21 °С и 1,2 В Vdd. Диапазон температур – от –196 до +130 °С. Масштабирование питания: при 0,6 В производительность 400 МГц (на прототипе), с сокращением более 80 % энергопотребления. Уменьшение напряжения снижает энергопотребление в кубической зависимости. Однако не все из миллиона логических элементов доступны пользователю. Под программируемыми ЛУТ понимаются ЛУТ, доступные для конфигурирования, другие ЛУТ, видимо, запрограммированы «жестко» на заводе (33 %).

Такие характеристики, ориентированные на большую вычислительную мощность и работу в экстремальных условиях, необходимы в аэрокосмической и военной сферах. Возможно, поэтому детальная информация об асинхронных процессах в ПЛИС достаточно скудна. Но по доступным источникам получается, что речь идет не об отсутствии синхронизации, а о множественной распределенной синхронизации, а это совсем не то, что самосинхроника.

### **Выводы**

Таким образом, полумодулярность схемы означает, что в ее диаграмме переходов отсутствуют конфликтные переходы – конфликтные в смысле отсутствия состязаний. Сам термин «полумодулярность» взят из алгебраической теории решеток. Для работы самосинхронной схемы не нужен тактовый генератор. Самосинхронная схема работает на «пределе» возможностей в смысле задержек элементов и может фиксировать константные неисправности. Они продолжают работать на сверхнизком напряжении питания. Так, по данным [18] самосинхрон-

ные ПЛИС по технологии 90 нм с напряжением питания ядра 1,2 В остаются работоспособным при снижении напряжения питания до 0,2 В. В [18] также упоминается «самосинхронное процессорное ядро» ARM996HS, разработанное фирмой Handshake Solution и имеющее в 2,8 раза меньшее энергопотребление, по сравнению со своим синхронным аналогом ARM968E-S при той же производительности.

К самосинхронной также относят NCL-логику (NULL Convention Logic), разработанную специалистами компании Theseus Research, Inc. [19–22]. Таким образом, самосинхроника развивается не только в области науки, но и в области технологии, хотя часть конкретных примеров на поверку оказывается далеко не самосинхронной.

### Библиографический список

1. Аперiodические автоматы / под ред. В.И. Варшавского – М.: Наука, 1976. – С. 304.
2. Искусственный интеллект: в 3 т. / В.И. Варшавский, В.Б. Мараховский, Л.Я. Розенблюм, А.В. Яковлев; Т.3: Программные и аппаратные средства / под ред. В.Н. Захарова и В.Ф. Хорошевского. – М.: Радио и связь, 1990.
3. Самосинхронная схмотехника [Электронный ресурс]. – URL: <http://www.selftiming.ru/native> (дата обращения: 03.11.2015).
4. Плеханов Л.П. Основы электронных самосинхронных схем [Электронное издание]. – М.: БИНОМ: Лаборатория знаний, 2013. – 211 с.
5. Тюрин С.Ф., Плотникова А.Ю. Концепция «зеленой логики» // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2013. – № 8. – С. 61–72.
6. Тюрин С.Ф. Обзор технологий зеленого компьютеринга // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2015. – № 1. – С. 40–74.
7. Тюрин С.Ф., Каменских А.Н. Самосинхронный функционально-полный толерантный элемент // Вестник ИжГТУ им. М.Т. Калашникова. – 2014. – № 1(61). – С. 116–119.
8. Баранский В.А., Выплов М.Ю., Ильев В.П. О задаче максимизации модулярной функции в геометрической решетке [Электронный ресурс]. – URL: <file:///C:/Users/%D0%90%D0%B4%D0%BC%D0%B8%>

D0%BD%D0%B8%D1%81%D1%82%D1%80%D0%B0%D1%82%D0%BE%D1%80/Downloads/7522016673997745828.pdf (дата обращения: 03.11.2015).

9. Алгебраические решетки [Электронный ресурс]. – URL: [http://www.machinelearning.ru/wiki/images/f/ff/AA3-5\(Lattice\).pdf](http://www.machinelearning.ru/wiki/images/f/ff/AA3-5(Lattice).pdf) (дата обращения: 03.11.2015).

10. Тюрин С.Ф. Аляев Ю.А. Дискретная математика: практическая дискретная математика и математическая логика. – М.: Финансы и статистика, 2010. – 394 с.

11. Дедекиндова решетка [Электронный ресурс]. – URL: <http://enc-dic.com/word/d/Dedekindova-reshetka-43639.html> (дата обращения: 03.11.2015).

12. Миллер Р. Теория переключательных схем, не зависящих от скорости [Электронный ресурс]: в 2 т. Т.2: Последовательностные схемы и машины. – М.: Наука, 1971. – С. 242–298. – URL: <http://www.ee.bgu.ac.il/~kushnero/asynchronous/Miller.pdf> (дата обращения: 03.11.2015).

13. ГОСТ Р 53480-2009. Надежность в технике. Термины и определения. ИЕС 60050 (191):1990-12 (NEQ). – М.: Стандартиформ, 2010.

14. ГОСТ 20911-89. Техническая диагностика. Термины и определения. – М.: Стандартиформ, 1989.

15. Библиотека элементов для проектирования самосинхронных полузаказных БМК микросхем серий 5503/5507 / Ю.А. Степченков, А.Н. Денисов, Ю.Г. Дьяченко, Ф.И. Гринфельд, О.П. Филимоненко, Н.В. Морозов, Д.Ю. Степченков. – М.: Изд-во ИПИ РАН, 2014. – 296 с.

16. Speedster22i Configuration User Guide [Электронный ресурс]. – URL: [http://www.achronix.com/wp-content/uploads/docs/Speedster22i\\_Configuration\\_User\\_Guide\\_UG033.pdf](http://www.achronix.com/wp-content/uploads/docs/Speedster22i_Configuration_User_Guide_UG033.pdf) (дата обращения: 29.10.2015).

17. Peter Clarke CEO Interview: John Lofton Holt of Achronix Fastest FPGA? [Электронный ресурс]. – URL: [http://www.eetimes.com/document.asp?doc\\_id=1271406](http://www.eetimes.com/document.asp?doc_id=1271406) (дата обращения: 29.10.2015).

18. Самосинхронные схемы. Принципы построения и элементная база [Электронный ресурс]. – URL: <http://www.russianelectronics.ru/leader-r/review/2189/doc/47271/> (дата обращения: 04.11.2015).

19. Design Automation of Real-Life Asynchronous Devices and Systems / A. Taubin, J. Cortadella, L. Lavagno, A. Kon-dratyev, A. Peeters // Foundations and Trends(r) in Electronic Design Automation. – 2007. – Vol. 2. – № 1, September. – P. 1–133.

20. Delay-Insensitive Gate-Level Pipelining / S.C. Smith, R.F. DeMara, J.S. Yuan, M. Hagedorn, D. Ferguson // *Integration, the VLSI Journal*. – October 2001. – Vol. 30/2. – P. 103–131.

21. Karl M. Fant, *Logically Determined Design: Clockless System Design with NULL Convention Logic*. – Wiley, 2005.

22. Optimization of NULL Convention Self-Timed Circuits. *Integration* / S.C. Smith, R.F. DeMara, J.S. Yuan, D. Ferguson, D. Lamb // *The VLSI Journal*. – August 2004. – Vol. 37/3. – P. 135–165.

### References

1. Varshavskii V.I. *Aperiodicheskie avtomaty [Aperiodic machines]*. Moscow: Nauka, 1976. 304 p.

2. Varshavskii V.I., Marakhovskii V.B., Rozenblium L.Ia., Iakovlev A.V. *Iskusstvennyi intellekt. Tom 3. Programmnye i apparatnye sredstva [Artificial Intelligence. Tom 3. Software and hardware]*. Moscow: Radio i svjaz', vol. 3, 1990.

3. Samosinkhronnaia skhemotekhnika [Self-synchronous circuit technology], available at: <http://www.selftiming.ru/native> (accessed 03 November 2015).

4. Plekhanov L.P. *Osnovy elektronnykh samosinkhronnykh skhem [Basics of electronic synchronous circuits]*. Moscow: BINOM. Laboratoriia znaniia, 2013. 211 p.

5. Tiurin S.F., Plotnikova A.Iu. Kontseptsia «zelenoi logiki» [The "green logic" concept]. *Vestnik Permskogo natsional'nogo issledovatel'skogo politekhnicheskogo universiteta. Elektrotekhnika, informatsionnye tekhnologii, sistemy upravleniia*, 2013, no. 8, pp. 61-72.

6. Tiurin S.F. Obzor tekhnologii zelenogo komp'iutinga [The overview of green computing technologies]. *Vestnik Permskogo natsional'nogo issledovatel'skogo politekhnicheskogo universiteta. Elektrotekhnika, informatsionnye tekhnologii, sistemy upravleniia*, 2015, no. 1, pp. 40-74.

7. Tiurin S.F., Kamenskikh A.N. Samosinkhronnyi funktsional'no-polnyi tolerantnyi element [Self-synchronous full-scale tolerant element]. *Vestnik Izhevskogo gosudarstvennogo tekhnicheskogo universiteta imeni M.T. Kalashnikova*, 2014, no. 1(61), pp. 116-119.

8. Baranskii V.A., Vyplov M.Iu., Il'ev V.P. O zadache maksimizatsii moduliarnoi funktsii v geometricheskoi reshetke [On the issue of the modular function maximizing in a geometric lattice], available at: <file:///C:/Users/%D0%90%D0%B4%D0%BC%D0%B8%D0%BD%D0%B8%>

D1%81%D1%82%D1%80%D0%B0%D1%82%D0%BE%D1%80/Downloads/7522016673997745828.pdf (accessed 03 November 2015).

9. Algebraicheskie reshetki [Algebraic lattices], available at: [http://www.machinelearning.ru/wiki/images/f/ff/AA3-5\(Lattice\).pdf](http://www.machinelearning.ru/wiki/images/f/ff/AA3-5(Lattice).pdf) (accessed 03 November 2015).

10. Tiurin S.F. Aliaev Iu.A. Diskretnaia matematika: prakticheskaia diskretnaia matematika i matematicheskaia logika [Discrete mathematics: practical discrete mathematics and mathematical logic]. Moscow: Finansy i statistika, 2010. 394 p.

11. Dedekindova reshetka [Dedekind lattice], available at: <http://enc-dic.com/word/d/Dedekindova-reshetka-43639.html> (accessed 03 November 2015).

12. Miller R. Teoriia perekliuchatel'nykh skhem, ne zavisiashchikh ot skorosti. Tom 2. Posledovatel'nostnye skhemy i mashiny [The theory of switching circuits that do not depend on the speed. Tom 2. Sequential circuits and machines]. Moscow: Nauka, 1971, vol. 2, pp. 242-298, available at: <http://www.ee.bgu.ac.il/~kushnero/asynchronous/Miller.pdf> (accessed 03 November 2015).

13. GOST R 53480-2009. Nadezhnost' v tekhnike. Terminy i opredeleniia. IEC 60050 (191):1990-12 (NEQ) [GOST R 53480-2009. The reliability of technology. Terms and Definitions. IEC 60050 (191):1990-12 (NEQ)]. Moscow: Standartinform, 2010.

14. GOST 20911-89. Tekhnicheskaiia diagnostika. Terminy i opredeleniia [GOST 20911-89. Technical diagnostics. Terms and Definitions]. Moscow: Standartinform, 1989.

15. Stepchenkov Iu.A., Denisov A.N., D'iachenko Iu.G., Grinfel'd F.I., Filimonenko O.P., Morozov N.V., Stepchenkov D.Iu. Biblioteka elementov dlia proektirovaniia samosinkhronnykh poluzakaznykh BMK mikroskhem serii 5503/5507 [Element library for self-synchronous semi-custom gate-array chip design series 5503/5507]. Moscow: Institut problem informatiki Rossiiskoi akademii nauk, 2014. 296 p.

16. Speedster22i Configuration User Guide, available at: [http://www.achronix.com/wpcontent/uploads/docs/Speedster22i\\_Configuration\\_User\\_Guide\\_UG033.pdf](http://www.achronix.com/wpcontent/uploads/docs/Speedster22i_Configuration_User_Guide_UG033.pdf) (accessed 29 October 2015).

17. Peter Clarke CEO Interview: John Lofton Holt of Achronix Fastest FPGA? available at: [http://www.eetimes.com/document.asp?doc\\_id=1271406](http://www.eetimes.com/document.asp?doc_id=1271406) (accessed 29 October 2015).

18. Samosinkhronnye skhemy. Printsipy postroeniia i elementnaia baza [Self-synchronous circuits. Principles of design and element base], available at: <http://www.russianelectronics.ru/leader-r/review/2189/doc/47271/> (accessed 04 November 2015).

19. Taubin A., Cortadella J., Lavagno L., Kon-dratyev A., Peeters A. Design Automation of Real-Life Asynchronous Devices and Systems. *Foundations and Trends(r) in Electronic Design Automation*, September 2007, vol. 2, no. 1, pp. 1-133.

20. Smith S.C., DeMara R.F., Yuan J.S., Hagedorn M., Ferguson D. Delay-Insensitive Gate-Level Pipelining. *Integration, the VLSI Journal*, October 2001, vol. 30/2, pp. 103-131.

21. Karl M. Fant, Logically Determined Design: Clockless System Design with NULL Convention Logic. Wiley, 2005.

22. Smith S.C., DeMara R.F., Yuan J.S., Ferguson D., Lamb D. Optimization of NULL Convention Self-Timed Circuits. *Integration. The VLSI Journal*, August 2004, vol. 37/3, pp. 135-165.

### Сведения об авторах

**Березняков Сергей Вадимович** (Пермь, Россия) – кандидат технических наук, начальник отдела ОАО «Стар» (614990, Пермь, ул. Куйбышева, 140А, e-mail: berser22@mail.ru, тел. +7-912-88-32-632).

**Аверкиев Михаил Алексеевич** (Пермь, Россия) – кандидат технических наук, доцент, старший научный сотрудник АО «Пермская научно-производственная приборостроительная компания» (614990, г. Пермь, ГСП-590, ул. 25 Октября, 106, e-mail: root@ppk.perm.ru, тел.: +7-950-45-97-858).

### About the authors

**Bereznyakov Sergey Vadimovich** (Perm, Russian Federation) is a Ph.D. in Technical Sciences, Head of Department JSC “Star” (614990, Perm, 140A, Kuibyshev St., tel.: +7-912-883-26-32; e-mail: berser22@mail.ru).

**Averkiyev Mikhail Alekseevich** (Perm, Russian Federation) is a Ph.D. in Technical Sciences, Associate Professor, Senior Research Scientist of JSC “Perm Research and Production Instrument Company” (614990, Perm, GSP-590, 106, October 25 St., e-mail: root@ppk.perm.ru, tel.: +7-950-45-97-858).

Получено 20.02.2016