

УДК 681.32

А.Н. Каменских, С.Ф. ТюринПермский национальный исследовательский политехнический университет,
Пермь, Россия**«СЛАБЫЙ» ГИСТЕРЕЗИСНЫЙ
ТРИГГЕР ДЛЯ РЕЗЕРВИРОВАННОЙ
САМОСИНХРОННОЙ СХЕМЫ**

Самосинхронные цифровые схемы (ССС, аperiodические схемы, speed independent, self-timed circuits, delay insensitive, circuits insensitive to delays in gates and wires) как один из вариантов цифровых схем в ряду с синхронными и асинхронными в последние годы переживают определенный подъем. Это связано с большими возможностями их работы на ультранизких напряжениях питания, что находится в «тренде» технологий «Грин Компьютинга». Имеется информация о предполагаемом использовании СССР в аппаратуре космических аппаратов НАСА. В России это направление активно развивается исследовательской группой в Федеральном исследовательском центре информатики и управления Российской академии наук (ФИЦ ИУ РАН, Институте проблем информатики Российской академии наук – ИПИ РАН). Создана библиотека элементов для проектирования самосинхронных полужаказных микросхем на основе базовых матричных кристаллов (БМК). Авторы ведут совместную исследовательскую работу с ИПИ РАН на протяжении более 20 лет.

Исследуется так называемый гистерезисный триггер (Г-триггер) или С-элемент Маллера, фиксирующий завершение переходного процесса в самосинхронных схемах (ССС), работающих по фактическим задержкам элементов. СССР обладают способностью фиксировать константные отказы. Однако эта способность позволяет строить активно отказоустойчивые схемы, причем для этого необходимо иметь дополнительные аппаратные средства контроля максимально допустимого времени завершения переходного процесса, локализации места отказа и соответствующей реконфигурации (переключение на второй канал), что может требовать относительно много времени. Для реализации пассивной отказоустойчивости, свободной от этих недостатков, необходимы минимум три канала. При этом встает проблема анализа завершения переходного процесса в резервированной структуре. Сделана попытка разработки и исследования специфического гистерезисного триггера, работающего в дублированной СССР, фактически предоставляющей 4 канала. Получены и анализируются логические функции реализации Г-триггера.

Ключевые слова: отказоустойчивость, самосинхронная схема, спейсер, переходный процесс, восстановитель информации, КМОП реализация, избыточная транзисторная структура.

A.N. Kamenskih, S.F. Tyurin

Perm National Research Polytechnic University, Perm, Russian Federation

WEAK MULLER'S C-GATE

Self-timed digital circuits (STC, aperiodic circuit, speed independent, delay insensitive, circuits insensitive to delays in gates and wires) as one option among digital circuits with synchronous and asynchronous, in recent years, experiencing a certain rise. This is due to the great potential of their

work on the ultra-supply voltage, which is in "trend" technologies "Green computing". In Russia, this direction is actively developed by the research team at the Institute of Informatics Problems of the Russian Academy of Sciences (FRC IC RSA) with which the authors are joint research. A library of design elements for self-timed semicustom chips based gate array (GA). The article analyzes Muller element retaining the completion of the transition process in the self-timed circuits, working on the actual delay elements. Self-timed circuits are considered as one of the most promising options for energy-saving "green" computing, with work on the ultra-low supply voltages and the ability to fix the constant failures. However, this ability allows to build an active failsafe circuit, with this requires an additional control hardware maximum time of completion of the transition process to localize the site of failure and the corresponding reconfiguration (switching to the second channel), which may require a relatively long time. For the implementation of passive failover free of these shortcomings need triple redundancy. At the same time there is a problem completing the analysis of the transition process in the structure with a triple redundancy. It proposed and studied Muller element for redundant structures, retaining the completion of the transition process in at least one of the two channels. The article is devoted to the attempt to develop and study a specific trigger hysteresis operating in redundant STC. Receives and analyzes the implementation of logic functions Muller element.

Keywords: speed independent, self-timed circuits, delay insensitive, circuits insensitive to delays in gates and wires Muller element, reliability, failure resistance, triple redundancy.

Введение. Самосинхронные цифровые схемы (ССС, аperiodические схемы, speed independent, self-timed circuits, delay insensitive, circuits insensitive to delays in gates and wires) [1–6] в качестве одного из основных элементов содержат так называемый Г-триггер (гистерезисный триггер, Г-триггер, или С-элемент Маллера). Г-триггер фиксирует завершение всех входных переходных процессов путем анализа соответствующих индикаторов схемы.

В настоящее время активно развивается проблематика отказоустойчивости СССР [7–9], которая наталкивается на определенные трудности при анализе завершения переходного процесса в резервированной СССР. Статья посвящена попытке разработки и исследованию специфического гистерезисного триггера, работающего в дублированной СССР.

Принцип работы СССР. Самосинхронная схема (ССС) строится по двухканальному принципу: имеются основной и двойственный каналы (например, одновходной комбинационной цифровой схемы, реализуется двойственная логическая функция), на которые подаются либо парафазный входной вектор (переменные + их инверсии), либо так называемый спейсер (полностью нулевой или полностью единичный вектор). Выходы значений некоторой логической функции Z-основного и не Z-двойственного каналов подключены к так называемому индикатору (рис. 1). Используется двухфазная дисциплина вычислений. В фазе спейсера (или гашения) индикаторы формируют сигналы ее окончания, например, ноль в случае использования единичного спейсера и элемента 2ИЛИ-НЕ. Далее в рабочей фазе подается

входной парафазный вектор, и, когда выходы двух каналов примут взаимно инверсные значения, что означает завершение переходного процесса, то на выходе индикатора будет сформирована единица. Эти сигналы индикаторов и анализируются специальными гистерезисными триггерами (Г-триггерами или элементами Маллера, С-элементами) с целью формирования очередной фазы гашения и передачи результата вычислений в следующий блок. Таким образом, реализуется работа по реальным задержкам элементов и связей.

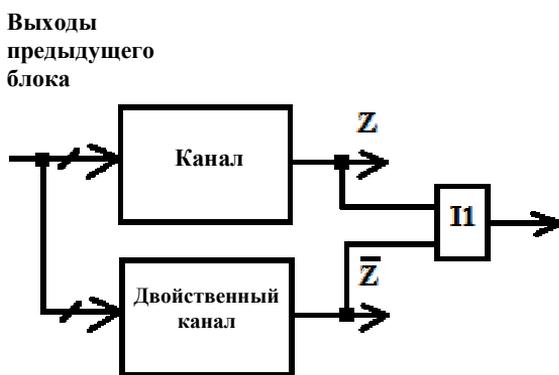


Рис. 1. Самосинхронная схема с индикатором II

С-элемент Маллера. По существу, это специфический элемент памяти-триггер (flip-flop). Он ожидает завершения переходных процессов на входах ab (когда они оба станут единицами), после чего переходит в состояние $Y(t) = 1$, из которого возвращается в состояние $Y(t) = 0$ в том случае, когда оба входа станут нулями (рис. 2).

Y(t)	ab				Y(t+1)
	00	01	11	10	
0	0	0	1	0	
1	0	1	1	1	

Рис. 2. Таблица переходов-выходов С-элемента на 2 входа ab

Это не что иное, как мажоритарная функция или функция голосования по большинству голосов:

$$y(t+1) = ab \vee y(t)(a \vee b) = ab \vee y(t)a \vee y(t)b. \quad (1)$$

Преобразуя (1) с помощью двойной инверсии, получим

$$y(t+1) = \overline{\overline{ab \vee y(t)a} \vee y(t)b} = \overline{ab \vee y(t)(a \vee b)}. \quad (2)$$

Инверсия мажоритарной функции (1)–(2) – та же функция, но от инверсных переменных, в связи с самодвойственностью (1). Соответствующая КМОП-схема известного гистерезисного триггера (Г-триггера или С-элемент Маллера) изображена на рис. 3.

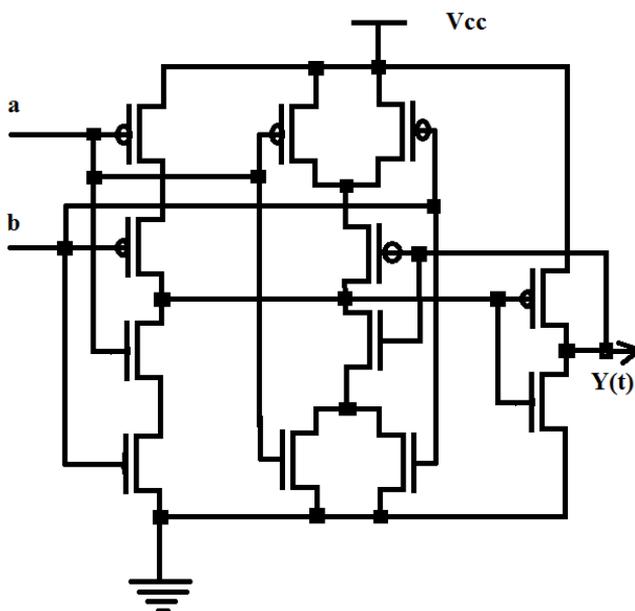


Рис. 3. КМОП-реализация гистерезисного триггера (С элемента) на 2 входа ab

Такой элемент в «собирает» сигналы индикаторов I в ССС и имеется в библиотеке элементов самосинхронной схемотехники [6], и именно он является корректным, так как удовлетворяет требованию однокаскадности.

Двухканальная самосинхронная схема. В литературе часто декларируется свойство обнаружения константных отказов, но фактически это свойство может быть использовано только при наличии дополнительной аппаратуры (например, фиксатора-счетчика допустимого максимального времени переходного процесса) в активно отказоустойчивой аппаратуре, требующей перерыва в работе для вос-

становления (и аппаратуры восстановления-реконфигурации и резервного оборудования), что не всегда возможно для так называемых онлайн-задач.

В то же время возможности создания пассивно-отказоустойчивых самосинхронных схем не нашли должного отражения в доступных источниках, и можно сделать вывод о том, что теория пассивно-отказоустойчивых самосинхронных схем только формируется.

После введения второго канала вычислений той же логической функции Z схема с учетом (см. рис. 1) становится фактически четырехканальной (рис. 4).

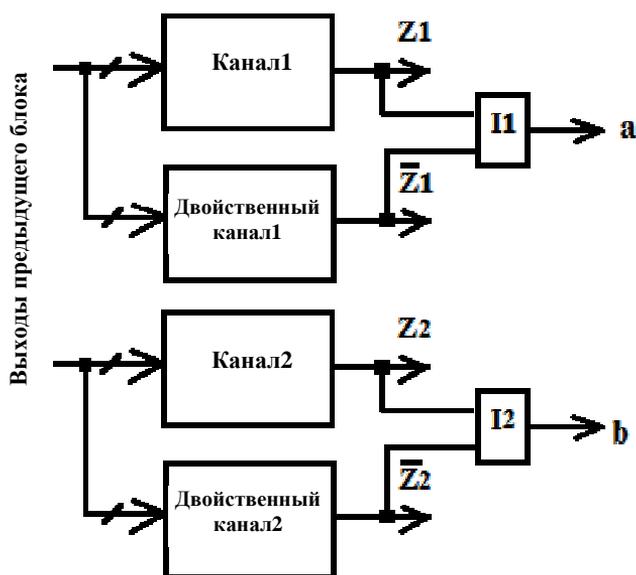


Рис. 4. Самосинхронная схема с двумя каналами 1, 2 и двумя индикаторами $I1$, $I2$

Но встает проблема анализа завершения переходного процесса в каналах. При допущении только одного отказа в одном из четырех компонентов в составе аппаратуры «канал1, двойственный канал1, канал2, двойственный канал2» либо в одном из двух индикаторов возможно ли использовать только один сигнал завершения переходного процесса? Предложим «слабый» С-элемент на 2 канала ab , не ждущий завершения всех переходных процессов, работающий по принципу «кто вперед» (рис. 5).

Y(t)	Индикаторы ab				
	00	01	11	10	
1	1	3	2	5	Исходное
2	1	2	2	2	Оба канала чудесным образом работают одинаково
3	1	3	4	2	Работа 1 (a отстаёт и догоняет либо b запал на 1, либо a на 0)
4	1	3	4	2	Работа 1
5	1	2	6	5	Работа 2 (b отстаёт и догоняет либо a запал на 1, либо b на 0)
6	1	2	6	5	Работа 2
					Y(t+1)

Рис. 5. Таблица переходов-выходов совсем слабого С-элемента на 2 канала ab

Переходы 00 в 11 и другие подобные зарезервированы для случаев маловероятного одновременного изменения входов. Кодированная таблица переходов-выходов слабого С-элемента на 2 канала ab представлена на (рис. 6).

Y3(t)Y2(t)Y1(t)	ab					Оба	b	a
	00	01	11	10				
(000)1	1(000)	3(010)	2(001)	5(100)	Исходное	0	0	0
(001)2	1(000)	2(001)	2(001)	2(001)	Оба канала работают одинаково	1	0	0
(010)3	1(000)	3(010)	4(011)	2(001)	Работа 1	0	1	0
(011)4	3(010)	3(010)	4(011)	2(001)	Работа 1	0	0	0
(100)5	1(000)	2(001)	6(101)	5(100)	Работа 2	0	0	1
(101)6	5(100)	2(001)	6(101)	5(100)	Работа 2	0	0	0
					Y(t+1)			

Рис. 6. Кодированная таблица переходов-выходов совсем слабого С-элемента на 2 канала ab

Минимизация логических функций. Выделим из рис. 5 функцию переходов $Y1(t + 1)$ (рис. 7).

Y1(t)	ab					Оба	b	a
	00	01	11	10				
(000)1	0	0	1	0	Исходное	0	0	0
(001)2	0	1	1	1	Оба канала работают одинаково	1	0	0
(010)3	0	0	1	1	Работа 1	0	1	0
(011)4	0	0	1	1	Работа 1	0	0	0
(100)5	0	1	1	0	Работа 2	0	0	1
(101)6	0	1	1	0	Работа 2	0	0	0
					Y(t+1)			

Рис. 7. Таблица переходов только $Y1(t+1)$

Для минимизации методом поразрядного сравнения рабочих и запрещенных двоичных кодов по рис. 6 построим таблицу наборов функции $Y1(t + 1)$ (рис. 8).

Y3(t)	Y2(t)	Y1(t)	a	b
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	0	1	1	0
0	1	0	1	1
0	1	0	1	0
0	1	1	1	0
0	1	1	1	1
1	0	0	1	1
1	0	0	0	1
1	0	1	1	1
1	0	1	0	1
0	0	0	0	0
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	1	0	0	0
0	1	0	0	1
0	1	1	0	0
0	1	1	0	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0

Рис. 8. Таблица минимизации функции $Y1(t + 1)$ (зеленым выделены рабочие (разрешенные, единичные) наборы функции, красным – запрещенные (нулевые))

Получим:

$$y_1(t + 1) = ab \vee \bar{y}_2(t)y_1(t)b \vee \bar{y}_3(t)y_1(t)a \vee y_2(t)a \vee y_3(t)b. \quad (3)$$

Построим таблицу наборов функции $Y2(t + 1)$ (рис. 9).

Y2(t)	ab					Оба	b	a
	00	01	11	10				
(000)1	0	1	0	0	Исходное	0	0	0
(001)2	0	0	0	0	Оба канала работают одинаково	1	0	0
(010)3	0	1	1	0	Работа 1	0	1	0
(011)4	1	1	1	0	Работа 1	0	0	0
(100)5	0	0	0	0	Работа 2	0	0	1
(101)6	0	0	0	0	Работа 2	0	0	0
					Y(t+1)			

Рис. 9. Таблица переходов только $Y2(t + 1)$

Выполним минимизацию (рис. 10).

Y3(t)	Y2(t)	Y1(t)	a	b
0	0	0	0	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	0	1
0	1	1	1	1
0	0	0	0	0
0	1	0	1	0
0	1	1	1	0
0	0	0	1	0
0	0	1	0	0
0	1	0	0	0
0	0	1	0	1
0	0	1	1	1
0	0	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
0	0	0	1	1
1	0	0	1	1
1	0	0	0	1
1	0	1	1	1
1	0	1	0	1

Рис. 10. Таблица минимизации функции Y1(t + 1) (зеленым выделены рабочие (разрешенные, единичные) наборы функции, красным – запрещенные (нулевые))

Получим:

$$y_2(t + 1) = \bar{y}_3(t)\bar{y}_1(t)\bar{a}b \vee \bar{y}_3(t)y_2(t)b \vee y_2(t)y_1(t)\bar{a}. \tag{4}$$

Построим таблицу наборов функции Y2(t + 1) (рис. 11, 12).

Y3(t)	ab					Оба	b	a
	00	01	11	10				
(000)1	0	0	0	1	Исходное	0	0	0
(001)2	0	0	0	0	Оба канала работают одинаково	1	0	0
(010)3	0	0	0	0	Работа 1	0	1	0
(011)4	0	0	0	0	Работа 1	0	0	0
(100)5	0	0	1	1	Работа 2	0	0	1
(101)6	1	0	1	1	Работа 2	0	0	0
					Y(t+1)			

Рис. 11. Таблица переходов только Y3(t + 1)

Y3(t)	Y2(t)	Y1(t)	a	b
0	0	0	1	0
1	0	0	1	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	0	1	1	0
0	0	0	0	0
0	1	0	1	0
0	1	1	1	0
0	0	1	0	0
0	1	0	0	0
0	0	1	0	1
0	0	1	1	1
0	0	1	1	0
1	0	0	0	0
0	0	0	1	1
1	0	0	0	1
1	0	1	0	1
0	0	0	0	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	0	1
0	1	1	1	1

Рис. 12. Таблица минимизации функции $Y1(t + 1)$ (зеленым выделены рабочие (разрешенные, единичные) наборы функции, красным – запрещенные (нулевые))

Получим:

$$y_1(t + 1) = \bar{y}_2(t)\bar{y}_1(t)a\bar{b} \vee y_3(t)a \vee y_3(t)y_1(t)\bar{b}. \quad (5)$$

Выводы. Таким образом, необходимо 6 состояний, а функции переходов гистерезисного триггера могут быть реализованы в пределах ограничений [10] – не более 4 транзисторов в цепочку или параллельно, для чего в связи с известными трудностями создания отечественной электронной компонентной базы [11] можно использовать базовые матричные кристаллы [12–14], включающие стандартные ячейки транзисторов. В свою очередь, реализация такого триггера позволит внести определенный вклад в дело создания радиационно-устойчивых цифровых устройств [15, 16], а также в только еще

формирующиеся теоретические основы синтеза отказоустойчивых самосинхронных схем (ССС) [17–19]. В дальнейшем целесообразно исследовать вопрос организации смены фаз работы в пассивно-отказоустойчивой ССС в связи с тем, что необходимо согласовать с ними наборы кодов состояний триггера.

Библиографический список

1. Muller D.E., Bartky W.S. A theory of asynchronous circuits // Proceedings of an *International Symposium on the Theory of Switching*, Part 1. – Harvard University Press, 1959. – P. 204–243.
2. Аперiodические автоматы / под ред. В.И. Варшавского. – М.: Наука, 1976. – С. 304.
3. Аперiodическая схемотехника / В.И. Варшавский, В.Б. Марховский, Л.Я. Розенблюм, А.В. Яковлев // Искусственный интеллект. Т. 3: Программные и аппаратные средства / под ред. В.Н. Захарова и В.Ф. Хорошевского. – М.: Радио и связь, 1990.
4. Yakovlev A. Energy-modulated computing // Design, Automation & Test in Europe Conference & Exhibition (DATE), 2011. – IEEE, 2011. – С. 1–6.
5. Тюрин С.Ф. Обзор технологий зеленого компьютеринга // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2015. – № 1. – С. 40–74.
6. Библиотека элементов для проектирования самосинхронных полужказных микросхем серий 5503/5507 и 5508/5509 // Ю.А. Степченков, А.Н. Денисов, Ю.Г. Дьяченко, Ф.И. Гринфельд, О.П. Филимоненко, Н.В. Морозов, Д.Ю. Степченков. – М.: Изд-во ИПИ РАН, 2008. – 296 с.
7. Kamenskih A.N., Tyurin S.F. Application of redundant basis elements to increase self-timed circuits reliability // Proceedings of the 2014 IEEE North West Russia Young Researchers in Electrical and Electronic Engineering Conference. – ElConRusNW, 2014. – P. 47–50.
8. Kamenskih A.N., Tyurin S.F. Features that provide fault tolerance of self-synchronizing circuits // Russian Electrical Engineering. – 2015. – P. 672–682.

9. Kamenskikh A.N., Tyurin S.F. Advanced Approach to Development of Energy-Aware and Naturally Reliable Computing Systems // Proceeding of the 2015 IEEE North West Russia Section Young researches in electrical and electronic engineering conference. – ElConRusNW, 2015. – P. 67–69.

10. Ульман Дж. Д. Вычислительные аспекты СБИС / пер. с англ. А.В. Неймана; под ред. П.П. Пархоменко. – М.: Радио и связь, 1990. – 480 с.

11. Проблемы создания отечественной элементной компонентной базы [Электронный ресурс]. – URL: <http://www.electronics.ru/journal/article/295> (дата обращения: 27.06.2015).

12. Инновационный комплекс МИЭТ [Электронный ресурс]. – URL: <http://miet.ru/content/s/200> (дата обращения: 27.06.2015).

13. Базовые матричные кристаллы [Электронный ресурс]. – URL: http://www.asic.ru/index.php?option=com_content&view=article&id=52&Itemid=92(дата обращения: 27.06.2015).

14. САПР «Ковчег3.0» для проектирования микросхем на БМК сер. 5503, 5507, 5521 и 5529 / С.В. Гаврилов, А.Н. Денисов, В.В. Коняхин, М.М. Маканцева. – М., 2013. – 295 с.

15. Donald C. Mayer, Ronald C. Laco. Designing Integrated Circuits to Withstand Space Radiation, vol. 4, № 2, Crosslink [Электронный ресурс]. – URL: <http://www.aero.org/publications/crosslink/summer2003/06.html> (дата обращения: 20.05.2015).

16. Юдинцев В. Радиационно-стойкие интегральные схемы. Надежность в космосе и на земле // Электроника: Наука, Технология, Бизнес. – 2007. – № 5. – С. 72–77 [Электронный ресурс]. – URL: http://www.electronics.ru/files/article_pdf/0/article_592_363.pdf (дата обращения: 29.05.2015).

17. Kamenskikh, A.N., Tyurin, S.F. Application of redundant basis elements to increase self-timed circuits reliability // Proceedings of the 2014 IEEE North West Russia Young Researchers in Electrical and Electronic Engineering Conference. – ElConRusNW, 2014. – P. 47–50.

18. Kamenskikh, A.N., Tyurin, S.F. Features that provide fault tolerance of self-synchronizing circuits // Russian Electrical Engineering. – 2015. – P. 672–682.

19. Kamenskikh A.N., Tyurin S.F. Advanced Approach to Development of Energy-Aware and Naturally Reliable Computing Systems // Proceeding of the 2015 IEEE North West Russia Section Young researches in electrical and electronic engineering conference. – ElConRusNW, 2015. – P. 67–69.

References

1. Muller D.E., Bartky W.S. A theory of asynchronous circuits. *Proceedings of an International Symposium on the Theory of Switching*, Part 1. Harvard University Press, 1959, pp. 204-243.

2. Varshavskii V.I. Aperiodicheskie avtomaty [Aperiodic machines]. Moscow: Nauka, 1976. 304 p.

3. Varshavskii V.I., Marakhovskii V.B., Rozenblium L.Ia., Iakovlev A.V. Aperiodicheskaia skhemotekhnika [Aperiodic circuit technique]. *Iskusstvennyi intellekt. Tom 3. Programmnye i apparatnye sredstva*. Eds. V.N. Zakharov, V.F. Khoroshevskii. Moscow: Radio i svjaz', 1990.

4. Yakovlev A. Energy-modulated computing. *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, 2011. IEEE, 2011, pp. 1-6.

5. Tiurin S.F. Obzor tekhnologii zelenogo komp'iutinga [Green computing technologies overview]. *Vestnik Permskogo natsional'nogo issledovatel'skogo politekhnicheskogo universiteta. Elektrotehnika, informatsionnye tekhnologii, sistemy upravleniia*, 2015, no. 1, pp. 40-74.

6. Stepchenkov Iu.A., Denisov A.N., D'iachenko Iu.G., Grinfel'd F.I., Filimonenko O.P., Morozov N.V., Stepchenkov D.Iu. Biblioteka elementov dlia proektirovaniia samosinkhronnykh poluzakaznykh mikroskhem serii 5503/5507 i 5508/5509 [The element library for self-timed microcircuit design semicustom 5503/5507 and 5508/5509 series]. Moscow: Institut problem informatiki Rossiiskoi akademii nauk, 2008. 296 p.

7. Kamenskikh A.N., Tyurin S.F. Application of redundant basis elements to increase self-timed circuits reliability. *Proceedings of the 2014 IEEE North West Russia Young Researchers in Electrical and Electronic Engineering Conference*. ElConRusNW, 2014, pp. 47-50.

8. Kamenskikh A.N., Tyurin S.F. Features that provide fault tolerance of self-synchronizing circuits. *Russian Electrical Engineering*, 2015, pp. 672-682.

9. Kamenskikh A.N., Tyurin S.F. Advanced Approach to Development of Energy-Aware and Naturally Reliable Computing Systems. *Proceeding of the 2015 IEEE North West Russia Section Young researches in electrical and electronic engineering conference*. ElConRusNW, 2015, pp. 67-69.

10. Ul'man Dzh. D. Vychislitel'nye aspekty SBIS [Computational Aspects of VLSI]. Moscow: Radio i sviaz', 1990. 480 p.

11. Problemy sozdaniia otechestvennoi elementnoi komponentnoi bazy [Problems of creation of domestic element component base], available at: <http://www.electronics.ru/journal/article/295> (accessed 27 June 2015).

12. Innovatsionnyi kompleks Moskovskogo instituta elektronnoi tekhniki [Innovation Complex Moscow Institute of Electronic Technology], available at: <http://miet.ru/content/s/200> (accessed 27 June 2015).

13. Bazovye matrichnye kristally [Base matrix crystals], available at: http://www.asic.ru/index.php?option=com_content&view=article&id=52&Itemid=92 (accessed 27 June 2015).

14. Gavrilov S.V., Denisov A.N., Koniakhin V.V., Makartseva M.M. Sistema avtomatizirovannogo proektirovaniia «Kovcheg3.0» dlia proektirovaniia mikroskhem na BMK ser. 5503, 5507, 5521 i 5529 [Computer-aided design "Kovcheg3.0" for microcircuit design on the FPGA 5503, 5507, 5521 and 5529 series]. Moscow, 2013. 295 p.

15. Donald C. Mayer, Ronald C. Laco. Designing Integrated Circuits to Withstand Space Radiation, vol. 4, no. 2, Crosslink, available at: <http://www.aero.org/publications/crosslink/summer2003/06.html> (accessed 29 May 2015).

16. Iudintsev V. Radiatsionno-stoikie integral'nye skhemy. Nadezhnost' v kosmose i na zemle [Radiation-resistant integrated circuits. Reliability in space and on the earth]. *Elektronika: Nauka, Tekhnologiia, Biznes*, 2007, no. 5, pp. 72-77, available at: http://www.electronics.ru/files/article_pdf/0/article_592_363.pdf (accessed 29 May 2015).

17. Kamenskikh, A.N., Tyurin, S.F. Application of redundant basis elements to increase self-timed circuits reliability. *Proceedings of the 2014 IEEE North West Russia Young Researchers in Electrical and Electronic Engineering Conference*. ElConRusNW, 2014, pp. 47-50.

18. Kamenskikh A.N., Tyurin S.F. Features that provide fault tolerance of self-synchronizing circuits. *Russian Electrical Engineering*, 2015, pp. 672-682.

19. Kamenskikh A.N., Tyurin S.F. Advanced Approach to Development of Energy-Aware and Naturally Reliable Computing Systems. *Proceeding of the 2015 IEEE North West Russia Section Young researches in electrical and electronic engineering conference*. ElConRusNW, 2015, pp. 67-69.

Сведения об авторах

Каменских Антон Николаевич (Пермь, Россия) – аспирант кафедры автоматике и телемеханики Пермского национального исследовательского политехнического университета (614990, Пермь, Комсомольский пр., 29, e-mail: antoshkinoinfo@yandex.ru).

Тюрин Сергей Феофентович (Пермь, Россия) – заслуженный изобретатель Российской Федерации, доктор технических наук, профессор кафедры автоматике и телемеханики Пермского национального исследовательского политехнического университета (614990, Пермь, Комсомольский пр., 29, e-mail: tyurinsergfeo@yandex.ru).

About the authors

Kamenskih Anton Nikolaevich (Perm, Russian Federation) is a post-graduate student the Department of Automation and Telemechanics Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky pr., e-mail: antoshkinoinfo@yandex.ru).

Tyurin Sergey Feofentovich (Perm, Russian Federation) is Honored Inventor of the Russian Federation, Doctor of Technical Sciences, Professor at the Department of Automation and Telemechanics Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky pr., e-mail: tyurinsergfeo@yandex.ru).

Получено: 05.10.2015